

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-064846

(43)Date of publication of application : 08.03.1996

(51)Int.Cl.

H01L 31/02

H01L 21/60

H01L 25/16

H01L 33/00

H01S 3/18

(21)Application number : 06-198360

(71)Applicant : SUMITOMO ELECTRIC IND LTD

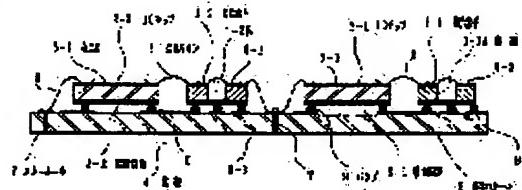
(22)Date of filing : 23.08.1994

(72)Inventor : KARAUCHI ICHIROU

(54) SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To provide a semiconductor device to form an optical transmitter or optical receiver for use in optical communications.
CONSTITUTION: A conductor pattern 5 formed on the surface of a substrate 4 is electrically connected, via bumps 9..., with optical devices 1-1, 1-2 or semiconductor IC chips 2-1, 2-2 having electronic circuits 3-1, 3-2 on the surface thereof, metal films 6-1, 6-2 are formed on the rear surface of the semiconductor IC chip and rear surface of the substrate, and the metal film is grounded.



LEGAL STATUS

[Date of request for examination] 19.02.2001

[Date of sending the examiner's decision of rejection] 03.08.2004

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-64846

(43)公開日 平成8年(1996)3月8日

(51)Int.Cl.⁶ 認別記号 庁内整理番号 F I 技術表示箇所
H 01 L 31/02 3 1 1 S 7726-4E
21/60 A
25/16 N
33/00

H 01 L 31/02 B
審査請求 未請求 請求項の数 3 OL (全 4 頁) 最終頁に続く

(21)出願番号 特願平6-198360	(71)出願人 000002130 住友電気工業株式会社 大阪府大阪市中央区北浜四丁目5番33号
(22)出願日 平成6年(1994)8月23日	(72)発明者 唐内 一郎 神奈川県横浜市栄区田谷町1番地 住友電 気工業株式会社横浜製作所内

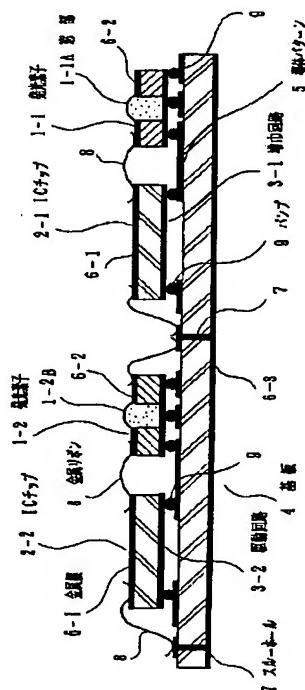
(74)代理人 弁理士 上代 哲司 (外2名)

(54)【発明の名称】 半導体装置

(57)【要約】

【目的】光通信等に用いる光送信機あるいは光受信機を形成する半導体装置に関する。

【構成】基板4の表面に形成された導体パターン5と光デバイス1-1、1-2又は表面に電子回路3-1、3-2が形成された半導体ICチップ2-1、2-2とがバンプ9...を介して電気的に接続され、前記光デバイスの光透過窓部1-1A、1-2Bを除く面、前記半導体ICチップの裏面及び前記基板の裏面には金属膜6-1、6-2、6-3が施され、該金属膜は接地して構成される。



【特許請求の範囲】

【請求項1】 基板の表面に形成された導体パターンと光デバイス又は表面に電子回路が形成された半導体ICチップとがバンプを介して電気的に接続され、前記光デバイスの光透過窓部を除く面、前記半導体ICチップの裏面及び前記基板の裏面には金属膜が施され、該金属膜は接地されていることを特徴とする半導体装置。

【請求項2】 光デバイスが発光ダイオード、レーザダイオードあるいは受光ダイオードであることを特徴とする請求項1の半導体装置。

【請求項3】 電子回路が発光ダイオード又はレーザダイオードの駆動回路あるいは受光ダイオードの増幅回路であることを特徴とする請求項1の半導体装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、光通信等に用いる光送信機あるいは光受信機を形成する半導体装置に関する。

【0002】

【従来の技術】 従来の光送信機あるいは光受信機は電気的、磁気的雑音から回避するためにそれらを金属ケースに封入することによって確保していた。一方、電子機器の大規模化、高速化と共に小型化が求められている。特に、光受信機は微弱な光信号を電気信号に変換した後、増幅する構成をとるためその要求は厳しく、種々のシールド対策が開発されている。

【0003】 例えば、図4はシールドパッケージされた従来例の構成を示す斜視図であり、図示していない光ファイバからの信号は入力端子14からフォトダイオード16に入射され、これを増幅するための集積回路(1C)17、コンデンサ18からなる光受光回路がケース基台11の中に搭載されている。このケース基台11はシール用樹脂膜13を介して金属製のキャップ12に固定され、光受光回路はシールドパッケージされている(特願平5-3022号)。

【0004】

【発明が解決しようとする課題】 このような方式を用いた場合は、一枚の基板上に受光素子と複数の増幅回路を形成する場合、あるいは受光素子と増幅回路及び発光素子とその駆動回路を混載する場合には、個々の回路間をシールドするための間隔が必要となり、さらに全体をシールドパッケージを施すために装置の小型化には限界があった。そこで本発明は、かかるシールドパッケージを施さなくても問題点を解決した半導体装置を提供することを目的とする。

【0005】

【課題を解決するための手段】 本発明に係わる半導体装置は、基板の表面に形成された導体パターンと光デバイス又は表面に電子回路が形成された半導体ICチップとがバンプを介して電気的に接続され、前記光デバイスの光透過窓部を除く面、前記半導体ICチップの裏面及び

前記基板の裏面には金属膜が施され、該金属膜は接地されていることを特徴とする。

【0006】 前記光デバイスは発光ダイオード、レーザダイオードあるいは受光ダイオードであること、また、前記電子回路は発光ダイオード又はレーザダイオードの駆動回路あるいは受光ダイオードの増幅回路であること特徴とする。

【0007】

【作用】 上記の構成によれば、本発明に係わる半導体装置の電子回路(増幅回路、駆動回路、導体パターン)は接地された金属膜と基板裏面に形成された接地用金属膜との間に挟まれた構成をとっているので、周囲からのノイズの影響が受け難くなる。発光装置の場合は、周辺回路への影響が軽減される。また、光透過窓部を除く光デバイス面についても金属膜を施し接地しているので、同様のシールド効果が得られる。

【0008】

【実施例】 以下、添付図面を参照して本発明の実施例を説明する。図1は本発明の半導体装置に係わる一実施例の構成を示す断面図である。図において、信号光を受光して電流に変換する受光素子1-1、この電流を増幅する回路を有する半導体ICチップ2-1及び信号光を発光する発光ダイオード又はレーザダイオード等の発光素子1-2、この発光素子1-2を駆動するための回路を有する半導体ICチップ2-2とは表面に導電パターン5を形成した基板4とバンプ9・・・を介して電気的に接続された装置である。

【0009】 半導体ICチップ2-1、半導体ICチップ2-2の表面には夫々増幅回路3-1、駆動回路3-2が形成され、それらの裏面にはAu等からなる薄膜6-1が蒸着されている。一方、アルミナを主成分とする基板4の表面にはAgPd等の導体からなるパターン5が形成され、パターン5と前記電子回路3-1、3-2あるいはこれらの回路と光素子1-1、1-2とはSnPd等からなる球状のバンプ9を介して接続される。これにより従来使われていたAuワイヤ等による接続に比べてインダクタンスが小さくなり、高周波信号の損失が小さくなると共に、空中への電磁波の放出あるいは外界からの電磁界の影響を受け難くなる。基板4の裏面には全面に接地用金属膜6-3が形成されている。接地はAu等の金属リボン8、スルーホール7の経路を通して行なわれる。接地をより確実にするために、Auリボンはインダクタンスを下げられるように複数本接続している。また、スルーホールも基板強度に影響しない程度に多数設けている。

【0010】 導体パターン5は前記電子回路3-1、3-2に電源を供給し、あるいは信号電流を取り出し、又はそれらの部材の間を接続するためにパターンが形成される。従って、増幅回路3-1、駆動回路3-2及び導体パターン5は接地された金属膜6-1と基板裏面に形成

された接地用金属膜 6-3との間に挟まれた構成をとっているので、周囲からのノイズの影響は受け難くなり、あるいは周辺回路への影響が軽減される。光素子 1-1、1-2の場合は光が透過する窓部 1-1A、1-2Bを除く面には金属膜 6-2を施して接地されているので、前記と同様の遮蔽効果を持っている。

【0011】図2は、図1に示した実施例に適用される発光ダイオード1-2と駆動回路3-2のブロック図であり、図3は受光ダイオード1-1と増幅器3-1のブロック図である。接地端子Gndは図1における金属膜6と接続され、データ入出力端子DATA等、信号検出出力端子 SIGNAL DETECT等及び電源供給端子Vccは導体パターン5と接続される。

【発明の効果】以上説明したように、本発明に係わる半導体装置の電子回路は、接地された金属膜と基板裏面に形成された接地用金属膜との間に挟まれた構成をとっているので、周囲からのノイズの影響が受け難くなる。発光装置の場合は、周辺回路への影響が軽減される。また、光透過窓部を除く光デバイス面についても金属膜を施し接地しているので、同様のシールド効果が得られる。

【図面の簡単な説明】

【図1】本発明の半導体装置に係わる一実施例の構成を示す断面図である。

【図2】本実施例に適用される発光ダイオードと駆動回路のブロック図である。

【図3】本実施例に適用される受光ダイオードと増幅器*

*のブロック図である。

【図4】シールドパッケージされた従来例の構成を示す斜視図である。

【符号の説明】

- 1：光デバイス
- 1-1：受光素子
- 1-2：発光素子
- 2：半導体ICチップ
- 3：電子回路
- 3-1：増幅回路
- 3-2：駆動回路
- 4：基板
- 5：導体パターン
- 6：金属膜
- 7：スルーホール
- 8：金属リボン
- 9：バンプ
- 10：ピン
- 11：ケース基台
- 12：キャップ
- 13：樹脂膜
- 14：入力端子
- 16：PD
- 17：IC
- 18：コンデンサ
- 19：ガラス板

10

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

20

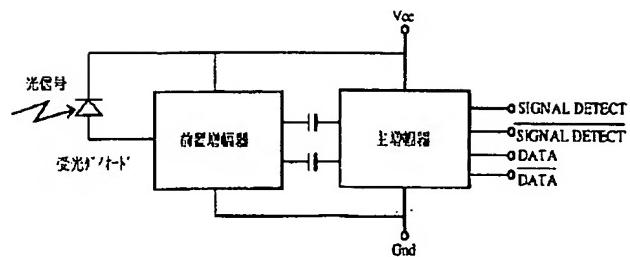
20

20

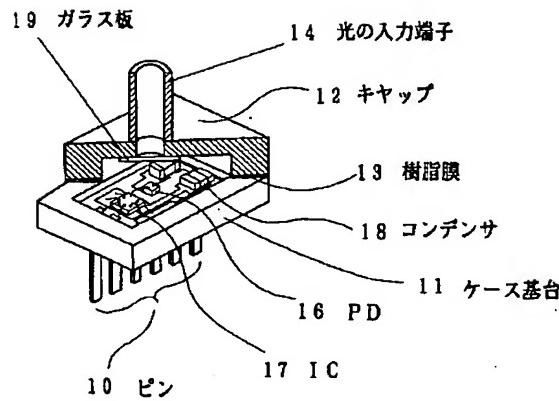
20

20

【図3】



【図4】



フロントページの続き

(51) Int. Cl.⁶

H 01 S 3/18

識別記号

府内整理番号

F I

技術表示箇所